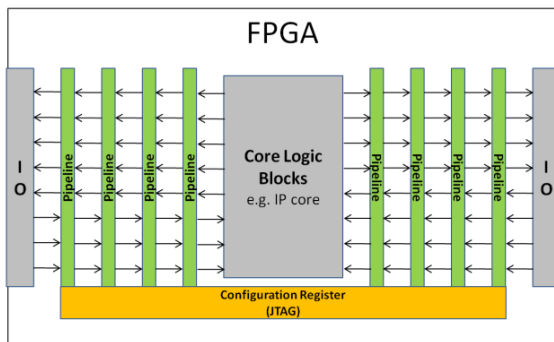


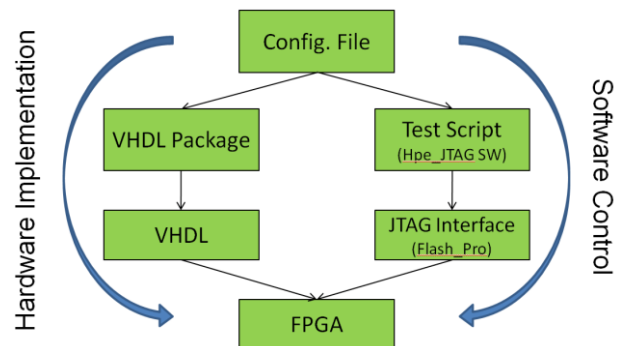
Robustes ASIC & FPGA Design

FPGA/VHDL Aktivitäten & Dienstleistungen



Im Rahmen des Förderprojektes ParaObsol (Obsoleszenz Management) wurden Rapid-Prototyping Methoden erarbeitet, insbesondere auch für die Migration bzw. Nachbildung von obsoleten Mikrocontrollern auf FPGA-Technologien. Der Austausch des obsoleten Bauelements unter Wiederverwendung des ursprünglichen Programm-codes wird z.B. durch konfigurierbare Signal- und Timing-Manipulationskonzepte (Bild 1) unterstützt. Die Programmierung und

Konfiguration (Bild 2) erfolgt skriptgesteuert mit PYTHON über die standardisierte JTAG-Schnittstelle (IEEE 1149.1). Durch die Kodierung in VHDL ist eine Technologie-unabhängige Wiederverwendung sichergestellt. Weitere Erfahrungen und Konzepte für die automatische Umsetzung von obsoleten Bauelementen (z.B. EPROM) in funktionsgleiche VHDL/FPGA-Technologien wurden in verschiedenen Projekten erfolgreich angewendet.



Zusammenfassung & Merkmale

- ParaObsol (Obsoleszenz Management)
 - VHDL/FPGA Design und Rapid Prototyping
 - Technologie-Unabhängigkeit
 - Wiederverwendung
- Beispiel Projekte:
 - EPROM/FPGA Ersatzlösungen für Motorsteuergeräte
 - Pipelining Konzepte mit konfigurierbarem IO-Timing-Interface für Migrationslösungen

Veröffentlichungen

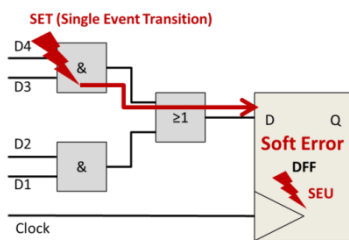
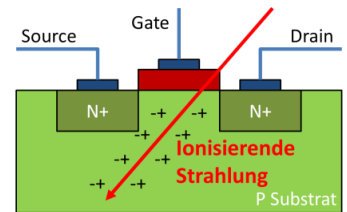
- TuZ-2011: A new IP-Core integration concept for signal manipulation and timing adjustment using a configurable I/O architecture
- www.elektrotechnik.vogel.de: IC In TheLoop - Ein innovatives Verfahren zur automatisierten Analyse, Verifikation und Re-/Konfiguration von Embedded-Core basierten Chip-Systemen



Robustes ASIC & FPGA Design

SEU/TID-Aktivitäten & Dienstleistungen

Hochintegrierte Schaltungen in Submicron-Technologie sind besonders strahlenempfindlich, z.B. schon aufgrund der Höhenstrahlung (Bild 1). Insbesondere Röntgen- und Radioaktive-Strahlung im medizinischen Strahlenbunker oder in Kernkraftwerken führt zu hohen FIT-Raten (Soft Errors, SER) und beschleunigter Alterung. Im Rahmen des von EFRE und BayMed geförderten Projektes RedunSys (Projektträger LGA) wurde ein Diagnose Device als FPGA entwickelt um Softerrors und Alterungseffekte aufgrund von TID-Akkumulation (Total Ionizing Dose) quantitativ zu erfassen. Durch Dreifach-Redundanz (TMR) können Fehler (SER, Bild 2) erkannt und korrigiert werden.



Weitere integrierte Funktionen ermöglichen eine Echtzeitdiagnose der Lebensdauer (Online-Monitoring) auch unter Berücksichtigung von Selbstheilungseffekten. Der IP-Core wurde im realen Strahlungsumfeld (medizinischer Strahlenbunker und in AXI-Umgebungen, Automatic X-Ray Inspection) bestrahlt und damit die Funktionsweise des SER- und Alterungs-Monitors verifiziert. Der IP-Core kann als verschlüsselte

VHDL-Netzliste verfügbar gemacht werden (s. auch Datenblatt SEU-TID-Core).

Zusammenfassung & Merkmale

- Echtzeit-Diagnose von redundanten Systemen und Alterungseffekten im sensitiven Strahlungsumfeld (Medizin, Kernkraftwerke, Luft- und Raumfahrt)
- Alterungs-Monitor (TID, Total Ionizing Dose) & Lebensdauer
- Soft Errors (SER, SEU, SET) & TMR (Triple Modular Redundancy)
- Robustes & portables VHDL-Design
- Redundanz & Synthese-Optimierung (TMR, Delay Chains)
- Kombinatorische Feedbacks, Ring-Oszillatoren und synchrones Design
- JTAG/PYTHON Test Automatisierung

Veröffentlichungen

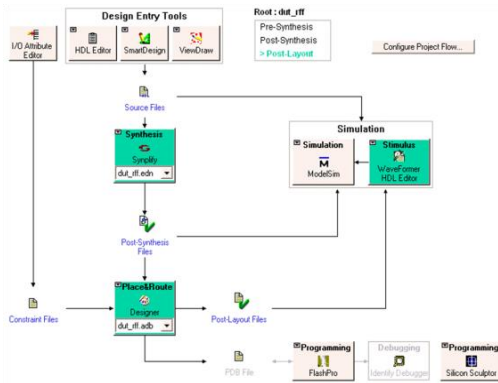
- TuZ-2010: A Robust VHDL Design & Test Methodology for a Radiation Hardened Diagnosis Device
- BICCnet- 2011: Echtzeit-Diagnose von redundanten Systemen und Alterungseffekten im medizinischen Strahlungsumfeld
- EEEfCOM-2011: An Advanced IP Core for Robust Digital Design and Aging Monitoring in critical radiation environments
- Analog-2011: An Advanced VHDL/IP-core for Embedded Aging Monitoring of Analog and Mixed Signal Applications in Sensitive Radiation Environments
- elektrotechnik.vogel.de: RedunSys-Projektabschluss: Design und Test von redundanter Elektronik für strahlungsbelastete Einsatzgebiete
- TuZ-2013: Ein wiederverwendbarer VHDL / IP-Core zur Überwachung der Alterung von sensitiven mikroelektronischen Schaltungen



■ TESTHAUS AUS ÜBERZEUGUNG

Robustes ASIC & FPGA Design

Simulations- & Design-Methodik (VHDL-AMS, Fault Insertion & Analysis)



Weitere Schwerpunkte sind VHDL/FPGA/IP-Design, analog und mixed signal Systemsimulationen, Fehlerinjektionsmethoden per Software-Modellierung oder auch als Hardware-Realisierung (JTAG-Pinfaking). Das anwendungsspezifische Design- bzw. Konfigurations- und Bibliotheks-Management kann mit den frei verfügbaren und offenen Skriptsprachen PYTHON bzw. Tcl/Tk automatisiert werden. Wir bieten umfangreiches Knowhow für die komplexen Design-, Verifikations- und Test-Aufgaben sowie jahrelange Erfahrung im ASIC/FPGA-Design- und Testbereich mit

verschiedenen Designumgebungen (Bild 1, Actel/Libero), Technologien (Bild 2, Actel/Microsemi Eval-Board) und Herstellern. Innovative Methoden und Konzepte für den professionellen Design-, Test- & Review-Prozess werden angewandt. Insbesondere für sicherheitsrelevante Systeme (IEC-61508, ISO-26262, DO-178B, DO-254) wird größter Wert auf Datenkonsistenz, Reproduzierbarkeit, Nachverfolgbarkeit, Automatisierung und Dokumentation gelegt.



Zusammenfassung & Merkmale

- JTAG & PinFaking (HW-SW-Fehlerinjektion)
- PYTHON und Tcl/Tk Automatisierung & Skripting (u.a. HIL-Steuerung, Dokumenten-Parser & Templates)
- ASIC System-Simulationen mit Synopsys/Saber-Designumgebung
- VHDL-AMS, Verilog, MAST, Spice (Modellierung & Simulation)
- VHDL-Co-Simulation mit Mentor/ModelSim
- HW/SW-Codesign (C/C++, SystemC, On/offline Fault Insertion)
- ModelSim & Synplify
- Actel/Libero Designumgebung (ProAsic3, Fusion, SmartFusion, Designer)
- VHDL-Coding Standard & Richtlinien
- Datenbasis, Versionskontrolle & Bugtracker (Subversion/SVN, TRAC, Mantis, MKS)
- Angewandte Sicherheits-Konzepte gemäß IEC-61508 & ISO-26262

Präsentationen & Veröffentlichungen

- SNUG-2012: Automotive System Verification using Saber/ModelSim Co-Simulation in Conjunction with ISO 26262
- CSC-2013 (Conti SW Conference 2013, Timisoara, RO): HW/SW-Cosimulation of ASICs and SW drivers for Fault Analysis and Regression Tests
- TUZ-2014: On/Offline Fault Insertion & Analysis in a Virtual ASIC System Simulation Environment



■ TESTHAUS AUS ÜBERZEUGUNG